



MicroPatent® PatSearch Fulltext: Record 1 of 1

Search scope: JP (bibliographic data only)

Years: 1836-2005

Patent/Publication No.: ((JP2000339954))

[Order This Patent](#)

[Family Lookup](#)

[Find Similar](#)

[Legal Status](#)

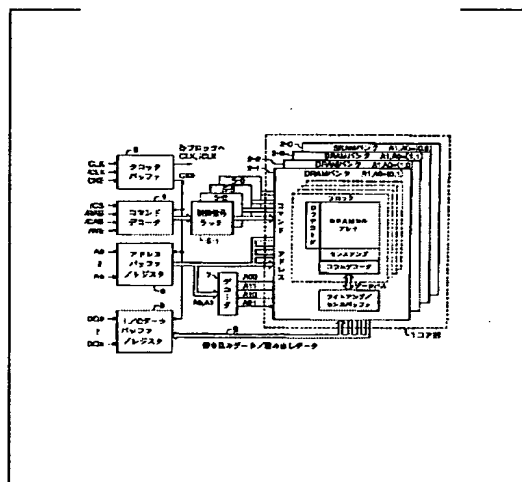
[Go to first matching text](#)

JP2000339954 A
SEMICONDUCTOR MEMORY
DEVICE
FUJITSU LTD

Abstract:

PROBLEM TO BE SOLVED: To avoid a cost increase only by SRAMs or an increase in power consumption only by DRAMs to an increase of a memory capacity by mixedly mounting SRAMs and DRAMs on the same chip and allotting different addresses to the SRAMs and DRAMs respectively.

SOLUTION: A core part 1 has an SRAM bank 2-0 and DRAM banks 2-1 to 2-3. Addresses A1 and A0 are allotted to the banks 2-0 to 2-3, e.g. addresses A1 and A0 of the SRAM bank 2 are made [0, 0], and addresses A1 and A0 of the DRAM banks 2-1 to 2-3 are made [0, 1] to [1, 1]. A decoder 7 decodes address signals A1 and A0, and outputs decode signals A00-A11. The SRAM bank 2-0 can be selected by setting A00='H', DRAM bank 2-1 can be selected by setting A01='H', and DRAM banks 2-2 and 2-3 can be selected similarly.



[Click here for larger image.](#)

Inventor(s):

IKEDA HITOSHI
 FUNYU AKIHIRO
 FUJIOKA SHINYA
 SUZUKI TAKAAKI
 TAGUCHI MASAO
 SATO KIMIAKI
 SATO MITSUNORI

Application No. 11150792 JP11150792 JP, **Filed** 19990531, **A1 Published** 20001208

Int'l Class: G11C011401

BEST AVAILABLE COPY

G11C01141 G11C011413 G11C011407

Patents Citing This One No US, EP, or WO patent/search reports have cited this patent.



For further information, please contact:

[Technical Support](#) | [Billing](#) | [Sales](#) | [General Information](#)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-339954

(P2000-339954A)

(43) 公開日 平成12年12月8日 (2000.12.8)

| (51) Int.Cl. ⁷ | 識別記号 | F I | テームト* (参考) |
|-------------------------------|--------|---------------|-------------------|
| G 1 1 C | 11/401 | C 1 1 C 11/34 | 3 7 1 Z 5 B 0 1 5 |
| | 11/41 | | Z 5 B 0 2 4 |
| | 11/413 | | 3 3 5 A |
| | 11/407 | | 3 5 4 F |
| | | | 3 6 2 S |
| 審査請求 未請求 請求項の数 5 O L (全 17 頁) | | | |

(21) 出願番号 特願平11-150792

(22) 出願日 平成11年5月31日 (1999.5.31)

(71) 出願人 000003273

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番1号

(72) 発明者 池田 仁史

神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

(72) 発明者 船生 明裕

神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

(74) 代理人 100092174

弁理士 平戸 哲夫

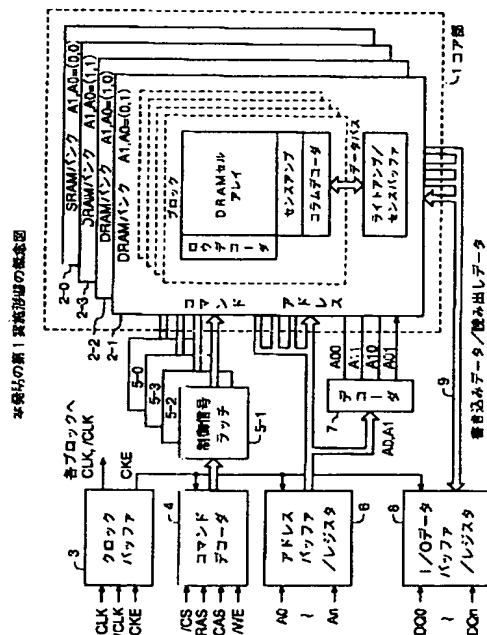
最終頁に続く

(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】メモリ容量を大幅に増加しても、SRAMのみを使用してメモリ容量を大幅に増加する場合に招くコストの大幅な上昇を避けることができ、また、DRAMのみを使用する場合に招く消費電力の大幅な増加を避けることができ、これを、たとえば、携帯電話に使用する場合には、コストの大幅な上昇を招くことなく、携帯電話とインターネットとの連携を可能とする。

【解決手段】同一チップにSRAMバンク2-0とDRAMバンク2-1～2-3とを混載する。



【特許請求の範囲】

【請求項1】同一チップにSRAMとDRAMとを混載し、かつ、前記SRAMと前記DRAMとに異なるアドレスを割り付けていることを特徴とする半導体記憶装置。

【請求項2】同一チップにSRAMとDRAMとを混載し、かつ、前記SRAM及び前記DRAMに対する電源電圧の供給を外部から制御することができるよう構成されていることを特徴とする半導体記憶装置。

【請求項3】同一チップにSRAMとDRAMとを混載し、かつ、外部からの制御信号に従い前記DRAMの内部電源回路の発生電圧を制御する制御回路を備えていることを特徴とする半導体記憶装置。

【請求項4】同一チップにSRAMとDRAMとを混載し、かつ、前記DRAMに対するアクセスと前記SRAMに対するアクセスとをコマンド信号により識別するように構成されていることを特徴とする半導体記憶装置。

【請求項5】同一チップにSRAMとDRAMとを混載し、かつ、前記DRAMのリフレッシュ中における前記SRAMに対するアクセスを可能にする手段を備えていることを特徴とする半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、同一チップにSRAM (Static Random Access Memory) とDRAM (Dynamic Random Access Memory) とを混載した半導体記憶装置に関する。

【0002】

【従来の技術】従来、例えば、携帯電話には、半導体記憶装置として、SRAMが搭載されていた。

【0003】

【発明が解決しようとする課題】近年、携帯電話とインターネットとの連携を図るため、携帯電話にもDRAM等の大容量のメモリが必要となりつつある。

【0004】しかし、DRAMは、データ保持のために、定期的なリフレッシュ動作が必要であり、電力を常に消費するため、SRAMの代わりに、DRAMを携帯電話に搭載すると、携帯電話の待ち受け時間における消費電力が増大し、待ち受け時間が短くなってしまうという問題点があった。

【0005】これに対して、SRAMは、データ保持のために、電力を殆ど消費しないが、集積度がDRAMに比べて低く、必要なメモリ容量のSRAMを搭載すると、コストが大幅に上昇してしまうという問題点があった。

【0006】本発明は、かかる点に鑑み、メモリ容量を大幅に増加しても、SRAMのみを使用してメモリ容量を大幅に増加する場合に招くコストの大幅な上昇を避けることができ、また、DRAMのみを使用する場合に招く消費電力の大幅な増加を避けることができ、これを、

たとえば、携帯電話に使用する場合には、コストの大幅な上昇を招くことなく、携帯電話とインターネットとの連携を可能とする半導体記憶装置を提供することを目的とする。

【0007】

【課題を解決するための手段】本発明中、第1の発明の半導体記憶装置は、同一チップにSRAMとDRAMとを混載し、かつ、SRAMとDRAMとに異なるアドレスを割り付けているというものである。

【0008】第1の発明によれば、同一チップにSRAMとDRAMとを混載するとしているので、メモリ容量を大幅に増加しても、SRAMのみを使用してメモリ容量を大幅に増加する場合に招くコストの大幅な上昇を避けることができ、また、DRAMのみを使用する場合に招く消費電力の大幅な増加を避けることができる。

【0009】なお、携帯電話においては、通話中に発生するデータの大部分は通話後に保持する必要がない。そこで、第1の発明を携帯電話に搭載する場合には、通話後にも保持する必要のある一部のデータはSRAMに記憶させ、それ以外のデータはDRAMに記憶させるように制御することが好適である。

【0010】本発明中、第2の発明の半導体記憶装置は、同一チップにSRAMとDRAMとを混載し、かつ、DRAMに対する電源電圧の供給を外部から制御することができるよう構成されているというものである。

【0011】第2の発明によれば、同一チップにSRAMとDRAMとを混載するとしているので、メモリ容量を大幅に増加しても、SRAMのみを使用してメモリ容量を大幅に増加する場合に招くコストの大幅な上昇を避けることができ、また、DRAMのみを使用する場合に招く消費電力の大幅な増加を避けることができる。

【0012】また、DRAMに対する電源電圧の供給を外部から制御することができるよう構成されているので、DRAMを使用しない場合には、DRAMに対する電源電圧の供給を停止することにより、無駄な電力消費を避けることができる。

【0013】本発明中、第3の発明の半導体記憶装置は、同一チップにSRAMとDRAMとを混載し、かつ、外部からの制御信号に従いDRAMの内部電源回路の発生電圧を制御する制御回路を備えているというものである。

【0014】第3の発明によれば、同一チップにSRAMとDRAMとを混載するとしているので、メモリ容量を大幅に増加しても、SRAMのみを使用してメモリ容量を大幅に増加する場合に招くコストの大幅な上昇を避けることができ、また、DRAMのみを使用する場合に招く消費電力の大幅な増加を避けることができる。

【0015】また、外部からの制御信号に従いDRAMの内部電源回路の発生電圧を制御する制御回路を備えて

いるので、DRAMを使用しない場合には、内部電源回路の発生電圧を電力消費を抑えることができる電圧にすることにより、無駄な電力消費を避けることができる。

【0016】本発明中、第4の発明の半導体記憶装置は、同一チップにDRAMとSRAMとを混載し、かつ、DRAMに対するアクセスとSRAMに対するアクセスとをコマンド信号により識別するように構成されているというものである。

【0017】第4の発明によれば、同一チップにSRAMとDRAMとを混載するとしているため、メモリ容量を大幅に増加しても、SRAMのみを使用してメモリ容量を大幅に増加する場合に招くコストの大幅な上昇を避けることができ、また、DRAMのみを使用する場合に招く消費電力の大幅な増加を避けることができる。

【0018】本発明中、第5の発明の半導体記憶装置は、同一チップにSRAMとDRAMとを混載し、かつ、DRAMのリフレッシュ中におけるSRAMに対するアクセスを可能にする手段を備えているというものである。

【0019】第5の発明によれば、同一チップにSRAMとDRAMとを混載するとしているため、メモリ容量を大幅に増加しても、SRAMのみを使用してメモリ容量を大幅に増加する場合に招くコストの大幅な上昇を避けることができ、また、DRAMのみを使用する場合に招く消費電力の大幅な増加を避けることができる。

【0020】また、DRAMのリフレッシュ中におけるSRAMに対するアクセスを可能にする手段を備えているので、効率的に動作するシステムを構成することが可能となる。

【0021】

【発明の実施の形態】以下、図1～図16を参照して、本発明の第1実施形態～第11実施形態について説明する。なお、本発明の第1実施形態～第11実施形態は、1チップ構成の半導体記憶装置である。

【0022】第1実施形態・図1、図2

図1は本発明の第1実施形態の概念図である。図1中、1はコア部、2-0～2-3はバンクアドレス信号によりアクセスすることができるメモリ領域であるバンク(BANK)であり、2-0はSRAMバンク、2-1～2-3はDRAMバンクである。

【0023】SRAMバンク2-0は、SRAMセルアレイ、ロウデコーダ、センスアンプ及びコラムデコーダを備える4個のSRAMブロックと、これら4個のSRAMブロックに共通のライトアンプ及びセンスバッファを設けて構成されている。

【0024】DRAMバンク2-1～2-3は、DRAMセルアレイ、ロウデコーダ、センスアンプ及びコラムデコーダを備える4個のDRAMブロックと、これら4個のDRAMブロックに共通のライトアンプ/センスバッファを設けて構成されている。

【0025】そして、アドレスA1、A0がバンク2-0～2-3に割り当てられており、例えば、SRAMバンク2-0のアドレスA1、A0は[00]、DRAMバンク2-1のアドレスA1、A0は[01]、DRAMバンク2-2のアドレスA1、A0は[10]、DRAMバンク2-3のアドレスA2、A0は[11]とされている。

【0026】また、3は外部相補クロックCLK、/CLK及びクロックイネーブル信号CKEを取り込むクロックバッファ、4はコマンド信号/CS、/RAS、/CAS、/WEをデコードするコマンドデコーダ、5-0～5-3はコマンドデコーダ4から出力される制御信号をラッチする制御信号ラッチである。

【0027】また、6はアドレス信号A0～Anを取り込んで、保持するアドレスバッファ/レジスタ、7はアドレス信号A1、A0をデコードしてバンク2-0～2-3の選択を行うデコーダ、8はデータDQ0～DQnの入出力、保持を行うI/Oデータバッファ/レジスタ、9はSRAMバンク2-0及びDRAMバンク2-1～2-3に共通に設けられている共通バスである。

【0028】図2はデコーダ7の機能を説明するための回路図である。図2中、A00～A11はアドレス信号A1、A0をデコードしてなるデコード信号であり、表1はデコーダ7の機能表である。

【0029】

【表1】

デコーダ7の機能表

| A1 | A0 | A00 | A01 | A10 | A11 |
|----|----|-----|-----|-----|-----|
| L | L | H | L | L | L |
| L | H | L | H | L | L |
| H | L | L | L | H | L |
| H | H | L | L | L | H |

【0030】ここに、A00="H"の場合にはSRAMバンク2-0が選択され、A01="H"の場合にはDRAMバンク2-1が選択され、A10="H"の場合にはDRAMバンク2-2が選択され、A11="H"の場合にはDRAMバンク2-3が選択される。

【0031】したがって、A1="L"、A0="L"とする場合には、SRAMバンク2-0を選択し、A1="L"、A0="H"とする場合には、DRAMバンク2-1を選択し、A1="H"、A0="L"とする場合には、DRAMバンク2-2を選択し、A1="H"、A0="H"とする場合には、DRAMバンク2-3を選択することができる。

【0032】このように、本発明の第1実施形態によれば、同一チップにSRAMバンク2-0とDRAMバン

ク2-1~2-3とを混載としているので、メモリ容量を大幅に増加しても、SRAMのみを使用してメモリ容量を大幅に増加する場合に招くコストの大幅な上昇を避けることができ、また、DRAMのみを使用する場合に招く消費電力の大幅な増加を避けることができる。

【0033】第2実施形態・図3、図4

図3は本発明の第2実施形態の概念図である。図2中、11はコア部であり、12-0~12-3はバンクである。バンク12-0~12-3は、それぞれ、SRAMブロック13-0及びDRAMブロック13-1~13-3と、これらSRAMブロック13-0及びDRAMブロック13-1~13-3に共通のライトアンプ/センスバッファ14を備えて構成されている。

【0034】ここに、SRAMブロック13-0は、SRAMセルアレイ、ロウデコーダ、センスアンプ及びコラムデコーダを設けて構成され、DRAMブロック13-1~13-3は、DRAMセルアレイ、ロウデコーダ、センスアンプ及びコラムデコーダを設けて構成されている。

【0035】そして、アドレスA1、A0がブロック13-0~13-3に割り当てられており、たとえば、SRAMブロック13-0のアドレスA1、A0は[00]、DRAMブロック13-1のアドレスA1、A0は[01]、DRAMブロック13-2のアドレスA1、A0は[10]、DRAMブロック13-3のアドレスA1、A0は[11]とされている。

【0036】また、15は外部相補クロックCLK、/CLK及びクロックイネーブル信号CKEを取り込むクロックバッファ、16はコマンド信号/CS、/RAS、/CAS、/WEをデコードするコマンドデコーダ、17-0~17-3はコマンドデコーダ16から出力される制御信号をラッチする制御信号ラッチである。

【0037】また、18はアドレス信号A0~Anを取り込んで保持するアドレスバッファ/レジスタ、19はアドレス信号A1、A0をデコードしてブロック13-0~13-3の選択を行うデコーダ、20はデータDQ0~DQnの入出力、保持を行うI/Oデータバッファ/レジスタ、21はバンク12-0~12-3に共通に設けられている共通バスである。

【0038】図4はデコーダ19の機能を説明するための回路図である。図4中、A00~A11はアドレス信号A1、A0をデコードしてなるデコード信号であり、表2はデコーダ19の機能表である。

【0039】

【表2】

デコーダ19の機能表

| A1 | A0 | A00 | A01 | A10 | A11 |
|----|----|-----|-----|-----|-----|
| L | L | H | L | L | L |
| L | H | L | H | L | L |
| H | L | L | L | H | L |
| H | H | L | L | L | H |

【0040】ここに、A00="H"の場合にはSRAMブロック13-0が選択され、A01="H"の場合にはDRAMバンク13-1が選択され、A10="H"の場合にはDRAMバンク13-2が選択され、A11="H"の場合にはDRAMバンク13-3が選択される。

【0041】したがって、A1="L"、A0="L"とする場合には、SRAMブロック13-0を選択し、A1="L"、A0="H"とする場合には、DRAMブロック13-1を選択し、A1="H"、A0="L"とする場合には、DRAMブロック13-2を選択し、A1="H"、A0="H"とする場合には、DRAMブロック13-3を選択することができる。

【0042】このように、本発明の第2実施形態によれば、同一チップの各バンク12-0~12-3にSRAMブロック13-0とDRAMブロック13-1~13-3とを混載としているので、メモリ容量を大幅に増加しても、SRAMのみを使用してメモリ容量を大幅に増加する場合に招くコストの大幅な上昇を避けることができ、また、DRAMのみを使用する場合に招く消費電力の大幅な増加を避けることができる。

【0043】第3実施形態・図5

図5は本発明の第3実施形態の概念図である。本発明の第3実施形態は、図3に示す本発明の第2実施形態が設けるコア部11と回路構成の異なるコア部23を設け、その他については、図3に示す本発明の第2実施形態と同様に構成したものである。

【0044】コア部23は、図3に示すコア部11が設けるバンク12-0~12-3と回路構成の異なるバンク24-0~24-3を設け、その他については、図3に示すコア部11と同様に構成したものである。

【0045】バンク24-0~24-3は、それぞれ、SRAMブロック25-0及びDRAMブロック25-1~25-3と、これらSRAMブロック25-0及びDRAMブロック25-1~25-3に共通のコラムデコーダ26と、ライトアンプ/センスバッファ14とを設けて構成されている。

【0046】したがって、本発明の第3実施形態においては、SRAMブロック25-0は、SRAMセルアレイ、ロウデコーダ及びセンスアンプを設けて構成され、

DRAMブロック25-1~25-3は、DRAMセルアレイ、ロウデコーダ及びセンスアンプを設けて構成されている。

【0047】このように、本発明の第3実施形態によれば、同一チップの各バンク24-0~24-3にSRAMブロック25-0とDRAMブロック25-1~25-3とを混載するとしているので、メモリ容量を大幅に増加しても、SRAMのみを使用してメモリ容量を大幅に増加する場合に招くコストの大幅な上昇を避けることができ、また、DRAMのみを使用する場合に招く消費電力の大幅な増加を避けることができる。

【0048】第4実施形態・図6~図8

図6は本発明の第4実施形態の概念図である。図6中、28-0はSRAM、28-1~28-3はDRAMであり、これらSRAM28-0及びDRAM28-1~28-3は、図1に示すSRAMバンク2-0及びDRAMバンク2-1~2-3や、図3に示すSRAMブロック13-0及びSRAMブロック13-1~13-3や、図5に示すSRAMブロック25-0及びDRAMブロック25-1~25-3に相当する。

【0049】また、A1、A0はSRAM28-0及びDRAM28-1~28-3をアクセスするためのアドレス信号、29はアドレス信号A1、A0をデコードするデコーダ、A00~A11はデコード信号であり、表3はデコーダ29の機能表である。

【0050】

【表3】

デコーダ29の機能表

| A1 | A0 | A00 | A01 | A10 | A11 |
|----|----|-----|-----|-----|-----|
| L | L | H | L | L | L |
| L | H | L | H | L | L |
| H | L | L | L | H | L |
| H | H | L | L | L | H |

【0051】また、30はSRAM28-0及びDRAM28-1~28-3に割り当てるアドレスを変更可能

アドレス設定回路30を図7に示すように構成した場合のアドレス設定回路30の機能表

| MS0 | MS1 | MS2 | MS3 | SA0 | DA1 | DA2 | DA3 |
|-----|-----|-----|-----|-----|-----|-----|-----|
| H | L | L | L | A00 | A01 | A10 | A11 |
| L | H | L | L | A01 | A10 | A11 | A00 |
| L | L | H | L | A10 | A11 | A00 | A01 |
| L | L | L | H | A11 | A00 | A01 | A10 |

に設定するアドレス設定回路、SA0、DA1~DA3はそれぞれSRAM28-0、DRAM28-1~28-3の選択を行うメモリ選択信号、31はモード設定信号MS0~MS3によりアドレス設定回路30を制御するモードレジスタである。

【0052】図7はアドレス設定回路30の第1構成例を示す回路図である。図7中、33-0はメモリ選択信号SA0を生成するSA0生成回路であり、34、35、36、37はそれぞれデコード信号A00、A01、A10、A11の通過を制御するCMOS伝送ゲート、38、39、40、41はそれぞれモード設定信号MS0、MS1、MS2、MS3を反転するインバータである。

【0053】また、33-1はメモリ選択信号DA1を生成するDA1生成回路であり、42、43、44、45はそれぞれデコード信号A00、A01、A10、A11の通過を制御するCMOS伝送ゲート、46、47、48、49はそれぞれモード設定信号MS3、MS0、MS1、MS2を反転するインバータである。

【0054】また、33-2はメモリ選択信号DA2を生成するDA2生成回路であり、50、51、52、53はそれぞれデコード信号A00、A01、A10、A11の通過を制御するCMOS伝送ゲート、54、55、56、57はそれぞれモード設定信号MS2、MS3、MS0、MS1を反転するインバータである。

【0055】また、33-3はメモリ選択信号DA3を生成するDA3生成回路であり、58、59、60、61はそれぞれデコード信号A00、A01、A10、A11の通過を制御するCMOS伝送ゲート、62、63、64、65はそれぞれモード設定信号MS1、MS2、MS3、MS0を反転するインバータである。

【0056】表4はアドレス設定回路30を図7に示すように構成した場合のアドレス設定回路30の機能表であり、したがって、モード設定信号MS0~MS3と、アドレス信号A1、A0と、メモリ選択信号SA0、DA1~DA3との関係は表5に示すようになる。

【0057】

【表4】

【0058】

【表5】

アドレス設定回路30を図7に示すように構成した場合のMS0～MS3と、A1、A0と、SA0、DA1～DA3との関係

| MS0 | MS1 | MS2 | MS3 | A1 | A0 | SA0 | DA1 | DA2 | DA3 |
|-----|-----|-----|-----|----|----|-----|-----|-----|-----|
| H | L | L | L | | | A00 | A01 | A10 | A11 |
| | | | | L | L | H | L | L | L |
| | | | | L | H | L | H | L | L |
| | | | | H | L | L | L | H | L |
| L | H | L | L | | | A01 | A10 | A11 | A00 |
| | | | | L | L | L | L | L | H |
| | | | | L | H | H | L | L | L |
| | | | | H | L | L | H | L | L |
| L | L | H | L | | | A10 | A11 | A00 | A01 |
| | | | | L | L | L | L | H | L |
| | | | | L | H | L | L | L | H |
| | | | | H | L | H | L | L | L |
| L | L | L | H | | | A11 | A00 | A01 | A10 |
| | | | | L | L | L | H | L | L |
| | | | | L | H | L | L | H | L |
| | | | | H | L | L | L | L | H |

【0059】したがって、アドレス設定回路30を図7に示すように構成する場合には、例えば、SRAM28-0のアドレスA1、A0=[00]、DRAM28-1のアドレスA1、A0=[01]、DRAM28-2のアドレスA1、A0=[10]、DRAM28-3のアドレスA1、A0=[11]とすることができる。

【0060】また、例えば、SRAM28-0のアドレスA1、A0=[01]、DRAM28-1のアドレスA1、A0=[10]、DRAM28-2のアドレスA1、A0=[11]、DRAM28-3のアドレスA1、A0=[00]とすることができる。

【0061】また、例えば、SRAM28-0のアドレスA1、A0=[10]、DRAM28-1のアドレスA1、A0=[11]、DRAM28-2のアドレスA1、A0=[00]、DRAM28-3のアドレスA1、A0=[01]とすることができる。

【0062】また、例えば、SRAM28-0のアドレスA1、A0=[11]、DRAM28-1のアドレスA1、A0=[00]、DRAM28-2のアドレスA1、A0=[01]、DRAM28-3のアドレスA1、A0=[10]とすることができる。

【0063】また、図8はアドレス設定回路30の第2

構成例を示す回路図である。図8中、67-0はメモリ選択信号SA0を生成するSA0生成回路であり、68、69、70、71はそれぞれデコード信号A00、A01、A10、A11の通過を制御するCMOS伝送ゲート、72、73、74、75はそれぞれモード設定信号MS0、MS1、MS2、MS3を反転するインバータである。

【0064】また、67-1はメモリ選択信号DA1を生成するDA1生成回路であり、76、77はそれぞれデコード信号A00、A01の通過を制御するCMOS伝送ゲート、78はモード設定信号MS3を反転するインバータ、79はモード設定信号MS0、MS1、MS2をNOR処理するNOR回路、80はNOR回路79の出力を反転するインバータである。

【0065】また、67-2はメモリ選択信号DA2を生成するDA2生成回路であり、81、82はそれぞれデコード信号A00、A10の通過を制御するCMOS伝送ゲート、83はモード設定信号MS2を反転するインバータ、84はモード設定信号MS0、MS1、MS3をNOR処理するNOR回路、85はNOR回路84の出力を反転するインバータである。

【0066】また、67-3はメモリ選択信号DA3を

生成するDA3生成回路であり、86、87はそれぞれデコード信号A00、A11の通過を制御するCMOS伝送ゲート、88はモード設定信号MS1を反転するインバータ、89はモード設定信号MS0、MS2、MS3をNOR処理するNOR回路、90はNOR回路89の出力を反転するインバータである。

【0067】表6はアドレス設定回路30を図8に示す

アドレス設定回路30を図8に示すように構成した場合のアドレス設定回路30の機能表

| MS0 | MS1 | MS2 | MS3 | SA0 | DA1 | DA2 | DA3 |
|-----|-----|-----|-----|-----|-----|-----|-----|
| H | L | L | L | A00 | A01 | A10 | A11 |
| L | H | L | L | A01 | A00 | A10 | A11 |
| L | L | H | L | A10 | A01 | A00 | A10 |
| L | L | L | H | A11 | A01 | A10 | A00 |

【0069】

【表7】

アドレス設定回路30を図8に示すように構成した場合のMS0～MS3と、A1、A0と、SA0、DA1～DA3との関係

| MS0 | MS1 | MS2 | MS3 | A1 | A0 | SA0 | DA1 | DA2 | DA3 |
|-----|-----|-----|-----|----|----|-----|-----|-----|-----|
| H | L | L | L | | | A00 | A01 | A10 | A11 |
| | | | | L | L | H | L | L | L |
| | | | | L | H | L | H | L | L |
| | | | | H | L | L | L | H | L |
| L | H | L | L | H | H | L | L | L | H |
| | | | | | | A01 | A00 | A10 | A11 |
| | | | | L | L | L | H | L | L |
| | | | | L | H | H | L | L | L |
| L | L | H | L | H | L | L | L | H | L |
| | | | | H | H | L | L | L | H |
| | | | | | | A10 | A01 | A00 | A11 |
| | | | | L | L | L | L | H | L |
| L | L | L | H | L | H | L | H | L | L |
| | | | | H | L | H | L | L | L |
| | | | | H | H | L | L | L | H |
| | | | | | | A11 | A01 | A10 | A00 |
| L | L | L | H | L | L | L | L | L | H |
| | | | | L | H | L | H | L | L |
| | | | | H | L | L | L | H | L |
| | | | | H | H | H | L | L | L |

【0070】したがって、アドレス設定回路30を図8に示すように構成する場合には、例えば、SRAM28-0のアドレスA1、A0=[00]、DRAM28-1のアドレスA1、A0=[01]、DRAM28-2

ように構成した場合のアドレス設定回路30の機能表であり、したがって、モード設定信号MS0～MS3と、アドレス信号A1、A0と、メモリ選択信号SA0、DA1～DA3との関係は表7に示すようになる。

【0068】

【表6】

のアドレスA1、A0=[10]、DRAM28-3のアドレスA1、A0=[11]とすることができる。

【0071】また、例えば、SRAM28-0のアドレスA1、A0=[01]、DRAM28-1のアドレス

A1、A0=[00]、DRAM28-2のアドレスA1、A0=[10]、DRAM28-3のアドレスA1、A0=[11]とすることができる。

【0072】また、例えば、SRAM28-0のアドレスA1、A0=[10]、DRAM28-1のアドレスA1、A0=[01]、DRAM28-2のアドレスA1、A0=[00]、DRAM28-3のアドレスA1、A0=[11]とすることができる。

【0073】また、例えば、SRAM28-0のアドレスA1、A0=[11]、DRAM28-1のアドレスA1、A0=[01]、DRAM28-2のアドレスA1、A0=[10]、DRAM28-3のアドレスA1、A0=[00]とすることができる。

【0074】このように、本発明の第4実施形態によれば、同一チップにSRAM28-0とDRAM28-1～28-3とを混載としているので、メモリ容量を大幅に増加しても、SRAMのみを使用してメモリ容量を大幅に増加する場合に招くコストの大幅な上昇を避けることができ、また、DRAMのみを使用する場合に招く消費電力の大幅な増加を避けることができる。

【0075】また、アドレス設定回路30を備えているので、ユーザによるSRAM28-0とDRAM28-1～28-3のアドレスの設定を行うことができ、利便性の向上を図ることができる。

【0076】なお、本発明の第4実施形態では、アドレス設定回路30を制御する方法としてモードレジスタ31を設ける方法を採用したが、この代わりに、ヒューズ等のプログラマブル素子を設ける方法や、ボンディングオプションあるいはマスクオプション等の方法を採用するようにしても良い。

【0077】第5実施形態・図9、図10

図9は本発明の第5実施形態の概念図である。図9中、91はチップ本体、92はSRAM、93はDRAM、94はSRAM92にSRAM用の電源電圧V_{dd}_Sを供給するための電源パッド、95はDRAM93にDRAM用の電源電圧V_{dd}_Dを供給するための電源パッドである。

【0078】すなわち、本発明の第5実施形態は、SRAM92とDRAM93とに対応させて、SRAM92用の電源パッド94とDRAM93用の電源パッド95とを別個に設けるといものである。

【0079】図10は本発明の第5実施形態を備えるシステムの一部分を示す回路図である。図10中、96は本発明の第5実施形態、97はコントローラ、98はコントローラ97から供給される電源制御信号により制御され、本発明の第5実施形態96にSRAM92用の電源電圧V_{dd}_S及びDRAM93用の電源電圧V_{dd}_Dを供給する電源回路である。

【0080】ここに、電源回路98は、コントローラ97により、DRAM93を使用しない場合には、DR

M93に電源電圧V_{dd}_Dの代わりに接地電圧0

[V]を供給し、DRAM93を使用する場合のみ、DRAM93に電源電圧V_{dd}_Dを供給するように制御される。

【0081】このように、本発明の第5実施形態によれば、同一チップにSRAM92とDRAM93とを混載しているため、メモリ容量を大幅に増加しても、SRAMのみを使用してメモリ容量を大幅に増加する場合に招くコストの大幅な上昇を避けることができ、また、DRAMのみを使用する場合に招く消費電力の大幅な増加を避けることができる。

【0082】また、SRAM92用の電源パッド94とDRAM93用の電源パッド95とを別個に設けているので、DRAM93を使用しない場合には、DRAM93に対する電源電圧V_{dd}_Dの供給を停止するように電源回路98を制御することにより、無駄な電力消費を避けることができる。

【0083】第6実施形態・図11

図11は本発明の第6実施形態の概念図である。図11中、100はSRAM、101はDRAM、102は外部の電源回路から電源電圧V_{dd}が印加される電源パッド、103、104はスイッチ、105、106は制御信号が印加される制御信号パッドである。

【0084】また、107は制御信号パッドに印加される制御信号に基づいてスイッチ103、104のON、OFFを制御する制御回路であり、DRAM101が使用される場合には、スイッチ103=ON、スイッチ104=OFFとなり、DRAM101が使用されない場合には、スイッチ103=OFF、スイッチ104=ONとなるように、スイッチ103、104を制御するものである。なお、制御信号として、例えば、DRAM101の活性化を制御する制御信号を使用することができる。

【0085】このように、本発明の第6実施形態によれば、SRAM100とDRAM101とを混載としているため、メモリ容量を大幅に増加しても、SRAMのみを使用してメモリ容量を大幅に増加する場合に招くコストの大幅な上昇を避けることができ、また、DRAMのみを使用する場合に招く消費電力の大幅な増加を避けることができる。

【0086】また、DRAM101を使用しない場合には、DRAM101に対する電源電圧V_{dd}の供給を停止することができるので、無駄な電力消費を避けることができる。

【0087】第7実施形態・図12

図12は本発明の第7実施形態の概念図である。図12中、109はSRAM、110はDRAM、111は外部の電源回路から電源電圧V_{dd}が印加される電源パッドである。

【0088】また、DRAM110において、112は

昇圧電圧 V_{pp} 、降圧電圧 V_{ii} 、プリチャージ電圧 V_{pr} 、セルプレート電圧 V_{cp} 及び基板バイアス電圧 V_{bb} を生成する内部電源回路である。

【0089】また、113、114は制御信号パッド、115は制御信号パッドに印加される制御信号により内部電源回路112を制御する制御回路であり、DRAM110が使用される場合には、 V_{pp} 、 V_{ii} 、 V_{pr} 、 V_{cp} 及び V_{bb} が通常に生成され、DRAM110が使用されない場合には、内部電源回路112の動作を停止させ、 $V_{pp}=V_{ii}=V_{dd}$ 、 $V_{pr}=V_{cp}=V_{bb}=V_{ss}$ となるように内部電源回路112を制御するものである。なお、制御信号として、例えば、DRAM110の活性化を制御する制御信号を使用することができる。

【0090】このように、本発明の第7実施形態によれば、同一チップにSRAM109とDRAM110とを混載するとしているので、メモリ容量を大幅に増加しても、SRAMのみを使用してメモリ容量を大幅に増加する場合に招くコストの大幅な上昇を避けることができ、また、DRAMのみを使用する場合に招く消費電力の大幅な増加を避けることができる。

【0091】また、DRAM110を使用しない場合には、内部電源回路112の動作を停止することができるので、無駄な電力消費を低減化することができる。なお、本発明の第7実施形態によれば、DRAM110を非活性状態から活性状態にするまでの時間を本発明の第5実施形態及び第6実施形態の場合よりも短くすることができる。

【0092】なお、本発明の第5実施形態～第7実施形態において、周辺回路に対しては、SRAMに対するのと同様に電源電圧を供給するように構成する場合には、DRAMの不使用时にSRAMを使用することができる。

【0093】第8実施形態・図13

図13は本発明の第8実施形態の概念図である。図13中、117はSRAM、118はDRAM、119はSRAM117及びDRAM118の状態を制御するメモリ状態制御信号 S/D が印加される制御信号パッド、120はチップイネーブル信号 $/CE$ が印加される制御信号パッドである。

【0094】また、121はメモリ状態制御信号 S/D 及びチップイネーブル信号 $/CE$ に基づいてSRAM117及びDRAM118の状態を制御する制御回路であり、表8は制御回路121の機能表である。

【0095】

【表8】

制御回路121の機能表

| S/D | /CE | |
|-----|-----|--------------------------------|
| X | H | SRAM117=スタンバイ DRAM118=スタンバイ |
| L | L | SRAM117=活性 DRAM118=スタンバイ |
| H | L | SRAM117=スタンバイ DRAM118=活性 |

【0096】すなわち、チップイネーブル信号 $/CE$ ="H"の場合には、SRAM117及びDRAM118はスタンバイ状態とされ、チップイネーブル信号 $/CE$ ="L"で、メモリ状態制御信号 S/D ="L"の場合には、SRAM117=活性状態、メモリ状態制御信号 S/D ="H"の場合には、DRAM118=活性状態とされる。したがって、本発明の第8実施形態においては、SRAM117とDRAM118には同一アドレスが割り当てられる。

【0097】このように、本発明の第8実施形態によれば、同一チップにSRAM117とDRAM118とを混載するとしているので、メモリ容量を大幅に増加しても、SRAMのみを使用してメモリ容量を大幅に増加する場合に招くコストの大幅な上昇を避けることができ、また、DRAMのみを使用する場合に招く消費電力の大幅な増加を避けることができる。

【0098】第9実施形態・図14

図14は本発明の第9実施形態の概念図である。図14中、123はSRAM、124はDRAM、125はSRAM123の状態を制御するSRAMイネーブル信号 $/CES$ が印加される制御信号パッド、126はDRAM124の状態を制御するDRAMイネーブル信号 $/CED$ が印加される制御信号パッドである。

【0099】また、127はSRAMイネーブル信号 $/CES$ 及びDRAMイネーブル信号 $/CED$ に基づいてSRAM123及びDRAM124の状態を制御する制御回路であり、表9は制御回路127の機能表である。

【0100】

【表9】

制御回路127の機能表

| /CES | /CED | |
|------|------|--------------------------------|
| H | H | SRAM123=スタンバイ DRAM124=スタンバイ |
| L | H | SRAM123=活性 DRAM124=スタンバイ |
| H | L | SRAM123=スタンバイ DRAM124=活性 |

【0101】すなわち、SRAM123は、DRAMイネーブル信号/CED="H"で、SRAMイネーブル信号/CES="L"の場合に活性化され、DRAM124は、SRAMイネーブル信号/CES="H"で、DRAMイネーブル信号/CED="L"の場合に活性化される。したがって、本発明の第9実施形態においては、SRAM123とDRAM124には同一アドレスが割り当てられる。

【0102】このように、本発明の第9実施形態によれば、同一チップにSRAM123とDRAM124とを混載しているため、メモリ容量を大幅に増加しても、SRAMのみを使用してメモリ容量を大幅に増加する場合に招くコストの大幅な上昇を避けることができ、また、DRAMのみを使用する場合に招く消費電力の大幅な増加を避けることができる。

【0103】第10実施形態・図15

図15は本発明の第10実施形態の概念図である。図15中、129はDRAMセルアレイ、130はSRAMセルアレイ、131はDRAMセルアレイ129のワード線の選択を行うワードデコーダ、132はSRAMセルアレイ130のワード線の選択を行うワードデコーダである。

【0104】また、133はDRAMに対するリード制御信号RD_D、ライト制御信号WR_D及びリフレッシュ制御信号REFに基づいてDRAMセルアレイ129のワード線の駆動タイミングを制御するDRAMセルアレイ用のワード線制御回路である。

【0105】また、134はSRAMに対するリード制御信号RD_S及びライト制御信号WR_Sに基づいてSRAMセルアレイ130のワード線の駆動タイミングを制御するSRAMセルアレイ用のワード線制御回路である。

【0106】また、135はDRAMセルアレイ129の非リフレッシュ時には、リード/ライト用アドレス信号ADD_R/Wをワードデコーダ131及び132に伝送し、DRAMセルアレイ129のリフレッシュ時には、リフレッシュアドレスADD_REFをワードデコーダ131に供給し、リード/ライト用アドレスADD_R/Wが供給された時は、リード/ライト用アドレス

ADD_R/Wをワードデコーダ132に伝送するアドレス選択回路である。

【0107】また、BL1-D、/BL1-D~BLm-D、/BLm-DはDRAMセルアレイ129のビット線、BL1-S、/BL1-S~BLm-S、/BLm-SはSRAMセルアレイ130のビット線である。

【0108】また、136はDRAMセルアレイ129に対応して設けられているセンスアンプ列、137はDRAMセルアレイ129用のコラム選択信号CL1_D~CLm_DによりON、OFFが制御されるコラムゲートが配列されてなるコラムゲート列、138はSRAMセルアレイ130用のコラム選択信号CL1_S~CLm_SによりON、OFFが制御されるコラムスイッチが配列されてなるコラムスイッチ列である。

【0109】ここに、DRAMリフレッシュ時において、SRAMセルアレイ130がアクセスされる場合には、DRAMセルアレイ129用のコラム選択信号CL1_D~CLm_Dにより、コラムゲート列137内のコラムゲートは、全てOFFとされる。

【0110】また、LDB_D、/LDB_DはDRAMセルアレイ129に対応して設けられたローカルデータバス、LDB_S、/LDB_SはSRAMセルアレイ130に対応して設けられたローカルデータバス、139、140はデータバススイッチ、DB、/DBはデータバスである。

【0111】このように構成された本発明の第10実施形態においては、DRAMリフレッシュ時において、SRAMセルアレイ130がアクセスされる場合には、DRAMセルアレイ129のワード線とSRAMセルアレイ130のワード線とが同時に立ち上げられることになるが、DRAMセルアレイ129用のコラム選択信号CL1_D~CLm_Dにより、コラムゲート列137内のコラムゲートは全てOFFとされるので、DRAMセルアレイ129のDRAMセルから出力されたデータと、SRAMセルアレイ130のSRAMセルから出力されたデータとがデータバスで衝突することを回避することができる。

【0112】このように、本発明の第10実施形態によれば、同一チップにDRAMとSRAMとを混載しているため、メモリ容量を大幅に増加しても、SRAMのみを使用してメモリ容量を大幅に増加する場合に招くコストの大幅な上昇を避けることができ、また、DRAMのみを使用する場合に招く消費電力の大幅な増加を避けることができる。

【0113】また、DRAMセルアレイ129のリフレッシュ時に、SRAMセルアレイ130に対するアクセスが可能とされているので、効率的に動作するシステムを構成することができる。

【0114】第11実施形態・図16

図16は本発明の第11実施形態の概念図であり、本発

明の第11実施形態は、コラムゲート列137のコラムゲート及びコラムスイッチ列138のコラムスイッチは、同一のコラム選択信号CL1~CLmによりON、OFFが制御されるように構成すると共に、本発明の第10実施形態が設けるデータバススイッチ139、140と回路構成の異なるデータバススイッチ142、143を設け、その他については、本発明の第10実施形態と同様に構成したものである。

【0115】ここに、データバススイッチ142、143は、DRAM/ SRAM選択信号によりON、OFFが制御されるものであり、DRAMリフレッシュ時には、DRAM/ SRAM選択信号により、データバススイッチ142がOFF、データバススイッチ143はONとなるように制御されるものである。

【0116】このように構成された本発明の第11実施形態においては、DRAMリフレッシュ時において、SRAMセルアレイ130がアクセスされる場合には、DRAMセルアレイ129のワード線とSRAMセルアレイ130のワード線とが同時に立ち上げられることになるが、DRAM/ SRAM選択信号により、データバススイッチ142がOFF、データバススイッチ143はONとされるので、DRAMセルアレイ129のDRAMセルから出力されたデータと、SRAMセルアレイ130のSRAMセルから出力されたデータとがデータバスで衝突することを回避することができる。

【0117】このように、本発明の第11実施形態によれば、同一チップにSRAMとDRAMとを混載するので、メモリ容量を大幅に増加しても、SRAMのみ使用してメモリ容量を大幅に増加する場合に招くコストの大幅な上昇を避けることができ、また、DRAMのみを使用する場合に招く消費電力の大幅な増加を避けることができる。

【0118】また、DRAMセルアレイ129のリフレッシュ時に、SRAMセルアレイ130に対するアクセスが可能とされているので、効率的に動作するシステムを構成することができる。

【0119】ここで、本発明を整理すると、本発明には、以下の半導体記憶装置が含まれることになる。

【0120】(1) 同一チップにSRAMとDRAMとを混載し、かつ、SRAMとDRAMとに異なるアドレスを割り付けていることを特徴とする半導体記憶装置。

【0121】(2) SRAM及びDRAMは、それぞれ、SRAMバンク及びDRAMバンクとして存在していることを特徴とする(1)に記載の半導体記憶装置。

【0122】(3) SRAM及びDRAMは、同一のバンク内に存在するSRAMブロック及びDRAMブロックとして存在していることを特徴とする(1)に記載の半導体記憶装置。

【0123】(4) SRAMブロックと、DRAMブロックとは、一部の回路を共有していることを特徴とする

(3)に記載の半導体記憶装置。

【0124】(5) 一部の回路は、コラムデコーダであることを特徴とする(4)に記載の半導体記憶装置。

【0125】(6) SRAM及びDRAMに割り当てるアドレスを設定するアドレス設定回路を備えていることを特徴とする(1)、(2)、(3)、(4)又は(5)に記載の半導体記憶装置。

【0126】(7) 同一チップにSRAMとDRAMとを混載し、かつ、SRAM及びDRAMに対する電源電圧の供給を外部から制御することができるように構成されていることを特徴とする半導体記憶装置。

【0127】(8) SRAMに電源電圧を供給するための電源パッドと、DRAMに電源電圧を供給するための電源パッドとを備えていることを特徴とする(7)に記載の半導体記憶装置。

【0128】(9) SRAM及びDRAMに共通の電源パッドと、外部からの制御信号に従いDRAMに対する電源電圧の供給を制御する制御回路を備えていることを特徴とする(7)に記載の半導体記憶装置。

【0129】(10) 同一チップにSRAMとDRAMとを混載し、かつ、外部からの制御信号に従いDRAMの内部電源回路の発生電圧を制御する制御回路を備えていることを特徴とする半導体記憶装置。

【0130】(11) 外部からの制御信号は、DRAMの活性化を制御する信号であることを特徴とする(9)又は(10)に記載の半導体記憶装置。

【0131】(12) SRAMとDRAMとで共通に利用する共通部を備え、共通部に対しては、SRAMに対するのと同様に電源電圧を供給されるように構成されていることを特徴とする(7)、(8)、(9)、(10)又は(11)に記載の半導体記憶装置。

【0132】(13) 同一チップにSRAMとDRAMとを混載し、かつ、DRAMに対するアクセスとSRAMに対するアクセスとをコマンド信号により識別するように構成されていることを特徴とする半導体記憶装置。

【0133】(14) 同一チップにSRAMとDRAMとを混載し、かつ、DRAMのリフレッシュ中におけるSRAMに対するアクセスを可能にする手段を備えていることを特徴とする半導体記憶装置。

【0134】(15) SRAM及びDRAMは、それぞれ、SRAMバンク及びDRAMバンクとして存在していることを特徴とする(14)に記載の半導体記憶装置。

【0135】(16) SRAM及びDRAMは、同一のバンク内に存在していることを特徴とする(14)に記載の半導体記憶装置。

【0136】

【発明の効果】以上のように、本発明中、第1~第5の発明のいずれによっても、同一チップにSRAMとDRAMとを混載するとしているので、メモリ容量を大幅に

増加しても、SRAMのみを使用してメモリ容量を大きく増加する場合に招くコストの大幅な上昇を避けることができ、また、DRAMのみを使用する場合に招く消費電力の大幅な増加を避けることができ、これを、例えば、携帯電話に使用する場合には、コストの大幅な上昇を招くことなく、携帯電話とインターネットとの連携が可能となる。

【0137】また、特に、第2の発明によれば、DRAMに対する電源電圧の供給を外部から制御することができるように構成されているので、DRAMを使用しない場合には、DRAMに対する電源電圧の供給を停止することにより、無駄な電力消費を避けることができる。

【0138】また、特に、第3の発明によれば、外部からの制御信号に従いDRAMの内部電源回路の発生電圧を制御する制御回路を備えているので、DRAMを使用しない場合には、内部電源回路の発生電圧を電力消費を抑えることができる電圧にすることにより、無駄な電力消費を避けることができる。

【0139】また、特に、第5の発明によれば、DRAMのリフレッシュ中におけるSRAMに対するアクセスを可能にする手段を備えているので、効率的に動作するシステムを構成することができる。

【図面の簡単な説明】

【図1】本発明の第1実施形態の概念図である。

【図2】本発明の第1実施形態が備えるバンク選択のためのデコーダの機能を説明するための回路図である。

【図3】本発明の第2実施形態の概念図である。

【図4】本発明の第2実施形態が備えるブロック選択のためのデコーダの機能を説明するための回路図である。

【図5】本発明の第3実施形態の概念図である。

【図6】本発明の第4実施形態の概念図である。

【図7】本発明の第4実施形態が備えるアドレス設定回路の第1構成例を示す回路図である。

【図8】本発明の第4実施形態が備えるアドレス設定回路の第2構成例を示す回路図である。

【図9】本発明の第5実施形態の概念図である。

【図10】本発明の第5実施形態を備えるシステムの一部を示す回路図である。

【図11】本発明の第6実施形態の概念図である。

【図12】本発明の第7実施形態の概念図である。

【図13】本発明の第8実施形態の概念図である。

【図14】本発明の第9実施形態に概念図である。

【図15】本発明の第10実施形態の概念図である。

【図16】本発明の第11実施形態の概念図である。

【符号の説明】

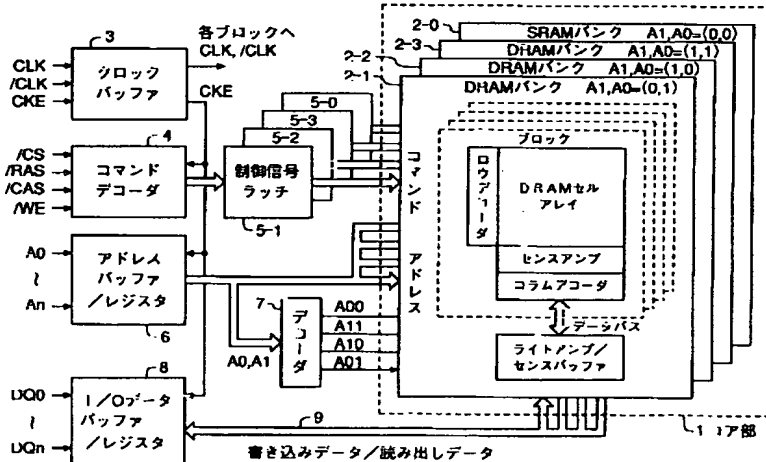
A0、A1 アドレス信号

Vdd_S SRAM用の電源電圧

Vdd_D DRAM用の電源電圧

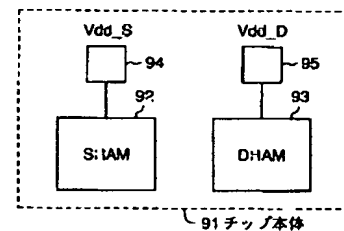
【図1】

本発明の第1実施形態の概念図



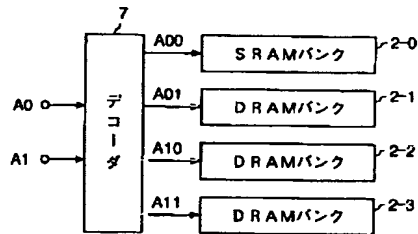
【図9】

本発明の第5実施形態の概念図



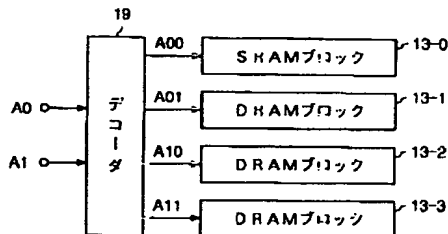
【図2】

デコーダ7の機能を説明するための回路図



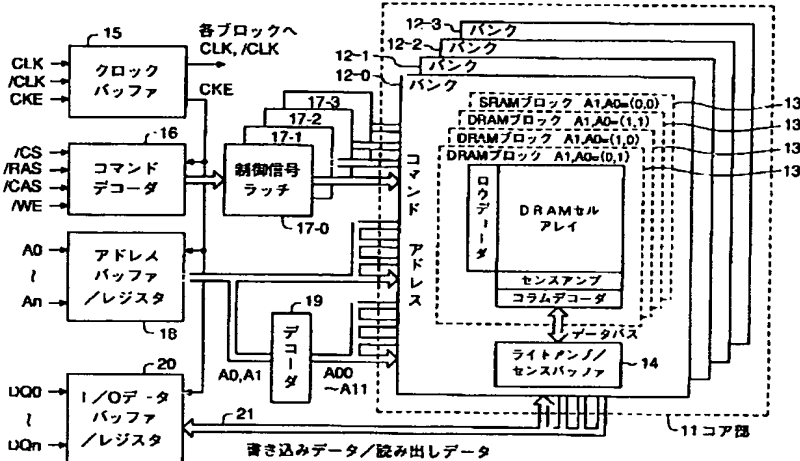
【図4】

デコーダ19の機能を説明するための回路図



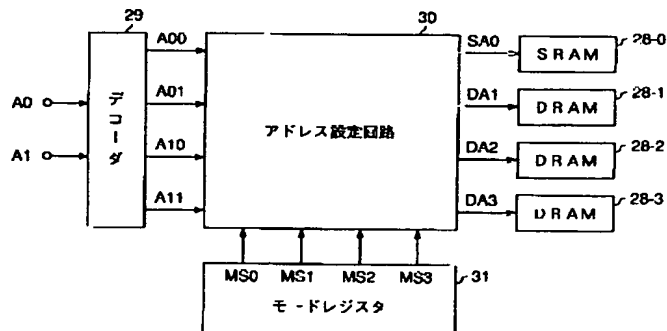
【図3】

本発明の第2実施形態の概念図



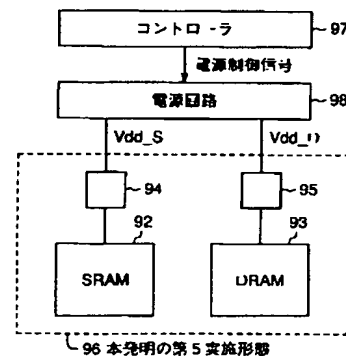
【図6】

本発明の第4実施形態の概念図

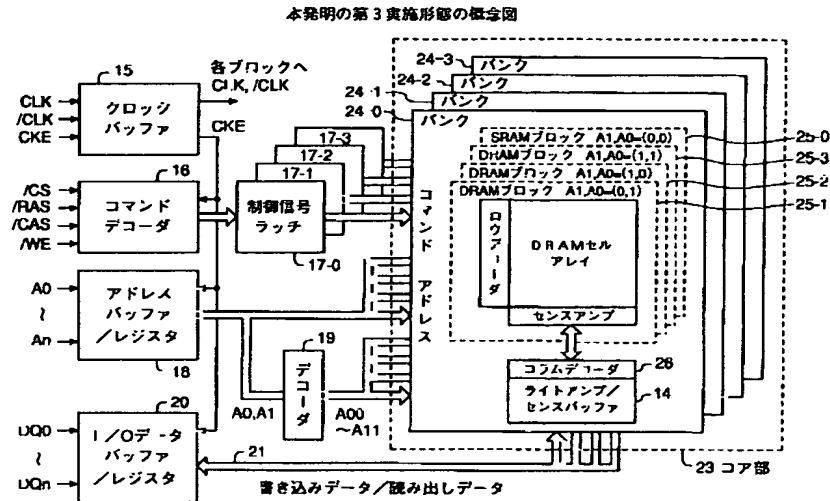


【図10】

本発明の第5実施形態を備えるシステムの一部を示す回路図

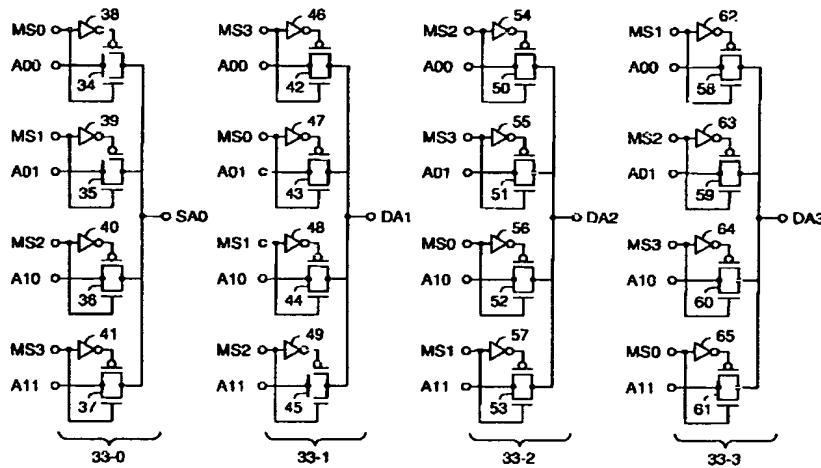


【図5】



【図7】

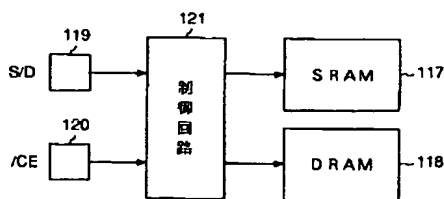
アドレス設定回路30の第1構成例を示す回路図



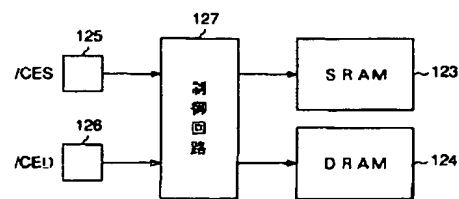
【図13】

【図14】

本発明の第8実施形態の概念図

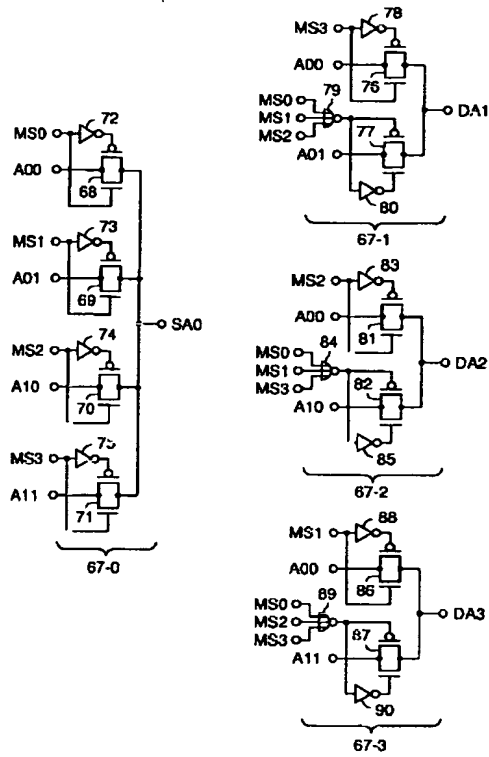


本発明の第9実施形態の概念図



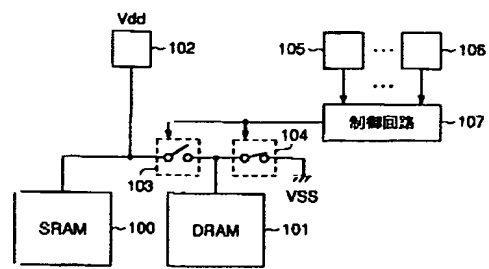
【図8】

アドレス設定回路30の第2構成例を示す回路図



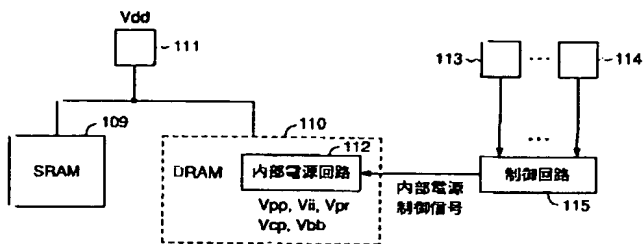
【図11】

本発明の第6実施形態の概念図



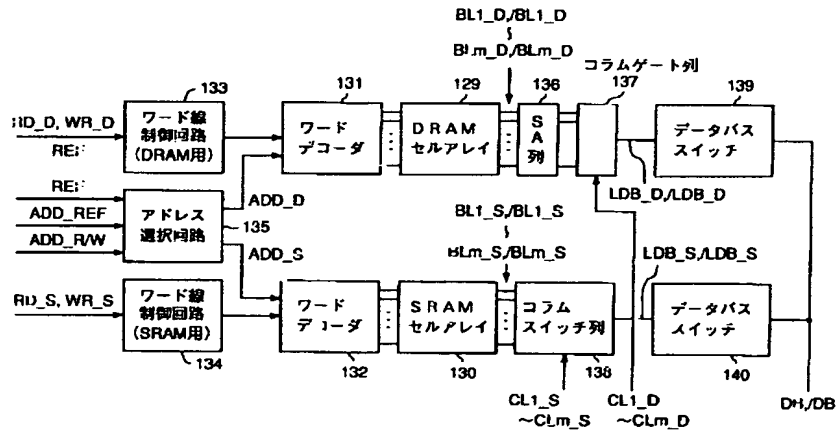
【図12】

本発明の第7実施形態の概念図



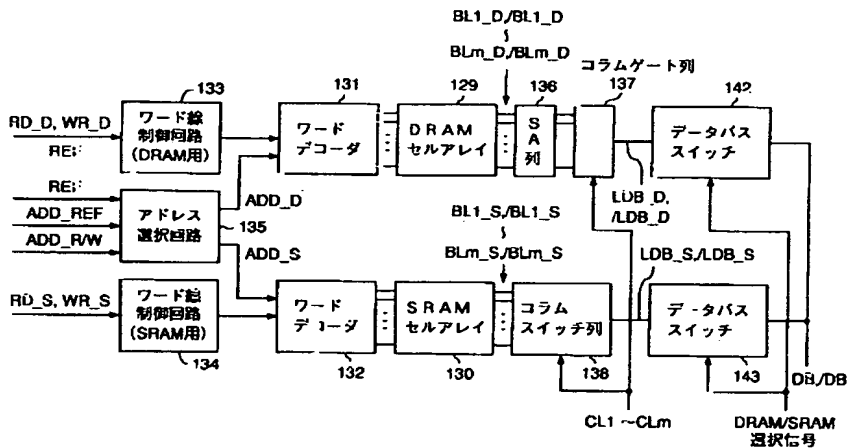
【図15】

本発明の第10実施形態の概念図



【図16】

本発明の第11実施形態の概念図



フロントページの続き

- (72)発明者 藤岡 伸也
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内
- (72)発明者 鈴木 孝章
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内
- (72)発明者 田口 眞男
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

- (72)発明者 佐藤 公昭
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内
- (72)発明者 佐藤 光徳
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(7) 100-339954 (P2000-339954A)

Fターム(参考) 5B015 HH01 HH03 JJ03 KB43 KB62
KB74 KB85 PP07
5B024 AA01 BA18 BA21 BA27 BA29
CA07

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.